

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: A. TAMURA, et al.

Application No.: New Patent Application

Filed: July 24, 2003

For: HETEROJUNCTION FIELD EFFECT TRANSISTOR AND  
MANUFACTURING METHOD THEREOF

CLAIM FOR PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

Sir:

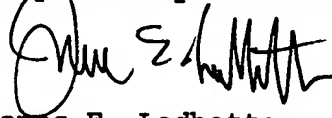
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-309692, filed October 24, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter  
Registration No. 28,732

Date: July 24, 2003

JEL/apg

Attorney Docket No. L8462.03106  
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.  
1615 L Street, NW, Suite 850  
P.O. Box 34387  
Washington, DC 20043-4387  
Telephone: (202) 785-0100  
Facsimile: (202) 408-5200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月24日

出 願 番 号

Application Number:

特願2002-309692

[ ST.10/C ]:

[ JP2002-309692 ]

出 願 人

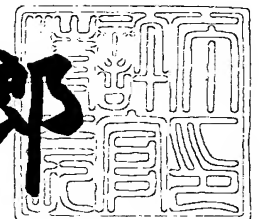
Applicant(s):

松下電器産業株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021641

【書類名】 特許願  
【整理番号】 2926940003  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/338  
H01L 29/812

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 田村 彰良

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 小島 圭介

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 加藤 由明

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100076174

【弁理士】

【氏名又は名称】 宮井 暎夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ヘテロ接合電界効果型トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 半絶縁性基板上に複数の半導体層を形成した半導体層形成基板と、前記半導体層形成基板上に形成したゲート電極と、前記ゲート電極の両側の前記半導体層形成基板の所定領域に n 型半導体にするためのイオン注入と活性化のためのアニール処理とが施されたことにより形成された n 型ソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間であって前記複数のうち所定の半導体層からなる活性層と、前記ソース領域と前記ドレイン領域との間であって前記活性層の上側または上下両側の前記半導体層からなり前記活性層に電子を供給する n 型キャリア供給層とを備えたヘテロ接合電界効果型トランジスタであって、

少なくとも 1 つの前記 n 型キャリア供給層となる半導体層は、セレン (Se) またはテルル (Te) がドーピングされていることを特徴とするヘテロ接合電界効果型トランジスタ。

【請求項 2】 前記活性層となる半導体層が InGaAs 層であり、前記 n 型キャリア供給層となる半導体層が AlGaAs 層であることを特徴とする請求項 1 記載のヘテロ接合電界効果型トランジスタ。

【請求項 3】 前記活性層となる半導体層が InGaAs 層であり、前記 n 型キャリア供給層となる半導体層が InAlAs 層であることを特徴とする請求項 1 記載のヘテロ接合電界効果型トランジスタ。

【請求項 4】 前記活性層となる半導体層が GaAs 層であり、前記 n 型キャリア供給層となる半導体層が AlGaAs 層であることを特徴とする請求項 1 記載のヘテロ接合電界効果型トランジスタ。

【請求項 5】 半絶縁性基板上に複数の半導体層を形成した半導体層形成基板と、前記半導体層形成基板上に形成したゲート電極と、前記ゲート電極の両側の前記半導体層形成基板の所定領域に n 型半導体にするためのイオン注入と活性化のためのアニール処理とが施されたことにより形成された n 型ソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間であって前記複数のう

ち所定の半導体層からなるn型活性層とを備えたヘテロ接合電界効果型トランジスタであって、

前記n型活性層となる半導体層は、セレン（Se）またはテルル（Te）がドーピングされていることを特徴とするヘテロ接合電界効果型トランジスタ。

【請求項6】 前記n型活性層となる半導体層がInGaAs層、GaAs層及びInP層のうちのいずれかであることを特徴とする請求項5記載のヘテロ接合電界効果型トランジスタ。

【請求項7】 半絶縁性基板上に、活性層となる半導体層と前記活性層に電子を供給するn型キャリア供給層となる前記活性層の上側または上下両側の半導体層とを少なくとも含む複数の半導体層を有した半導体層形成基板を形成する工程と、前記半導体層形成基板上にゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体層形成基板の所定領域にn型半導体にするためのイオン注入を行いかつ前記イオン注入領域の活性化のためのアニール処理を施すことによりn型ソース領域及びドレイン領域を形成する工程とを含むヘテロ接合電界効果型トランジスタの製造方法であって、

前記半導体層形成基板を形成する際、少なくとも1つの前記n型キャリア供給層となる半導体層にセレン（Se）またはテルル（Te）をドーピングすることを特徴とするヘテロ接合電界効果型トランジスタの製造方法。

【請求項8】 前記半導体層形成基板を形成する際、前記活性層となる半導体層としてInGaAs層を形成し、前記n型キャリア供給層となる半導体層としてAlGaAs層を形成することを特徴とする請求項7記載のヘテロ接合電界効果型トランジスタの製造方法。

【請求項9】 前記半導体層形成基板を形成する際、前記活性層となる半導体層としてInGaAs層を形成し、前記n型キャリア供給層となる半導体層としてInAlAs層を形成することを特徴とする請求項7記載のヘテロ接合電界効果型トランジスタの製造方法。

【請求項10】 前記半導体層形成基板を形成する際、前記活性層となる半導体層としてGaAs層を形成し、前記n型キャリア供給層となる半導体層としてAlGaAs層を形成することを特徴とする請求項7記載のヘテロ接合電界効果

型トランジスタの製造方法。

【請求項 1 1】 半絶縁性基板上に n 型活性層となる半導体層を少なくとも含む複数の半導体層を有した半導体層形成基板を形成する工程と、前記半導体層形成基板上にゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体層形成基板の所定領域に n 型半導体にするためのイオン注入を行いかつ前記イオン注入領域の活性化のためのアニール処理を施すことにより n 型ソース領域及びドレイン領域を形成する工程とを含むヘテロ接合電界効果型トランジスタの製造方法であって、

前記半導体層形成基板を形成する際、前記 n 型活性層となる半導体層にセレン (S e) またはテルル (T e) をドーピングすることを特徴とするヘテロ接合電界効果型トランジスタの製造方法。

【請求項 1 2】 前記半導体層形成基板を形成する際、前記 n 型活性層となる半導体層として I n G a A s 層、G a A s 層及び I n P 層のうちのいずれかを形成することを特徴とする請求項 1 1 記載のヘテロ接合電界効果型トランジスタの製造方法。

【請求項 1 3】 前記 n 型ソース領域及びドレイン領域を形成するときに行うアニール処理は、ランプアニールを用いて行うことを特徴とする請求項 7 ～ 1 2 のうちいずれかに記載のヘテロ接合電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ヘテロ接合エピタキシャル基板を用いた電界効果型トランジスタ(以下、F E T と呼ぶ)及びその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

ヘテロ接合 F E T のソース／ドレイン領域をイオン注入法を用いてゲート電極に対して自己整合的に形成した F E T は、ソース／ドレインの寄生抵抗が少なく、高性能なエンハンスメント型 F E T を実現するプロセスとして期待されている(例えば、非特許文献 1 参照)。

【0003】

これらのヘテロ接合FETでは、活性層に電子を供給するキャリア供給層、又は活性層自身がドーピングされている場合、主としてSiのドーピング層が使用されている。

【0004】

【非特許文献1】

J.K.Abrokwa et. al., GaAs IC Symposium Digest, P127, 1993.

【0005】

【発明が解決しようとする課題】

しかし、ソース／ドレイン領域となるイオン注入領域を活性化するためには、高温のアニール処理が不可欠であり、これらのアニール処理によりヘテロ接合が変質し、FET特性が劣化するなどの課題があった。従来、ヘテロ接合FETに用いるエピタキシャル基板のn型キャリア供給層や、活性層自身のドーピング材料としては、主としてSi（シリコン）ドナーが用いられている。これらのSiドナーが、ソース／ドレイン領域形成時のイオン注入活性化の高温アニールによって、フッ酸処理、CF<sub>4</sub>ガスエッチング等のプロセスで基板表面に付着したF（フッ素）原子の拡散によってF原子との複合体を形成することにより不活性化され、キャリア濃度が減少し、FET特性が劣化するものである。特にInAlAs／InGaAsのヘテロ系において、400℃程度の熱処理で、このF原子によってSiドナーが不活性化することは早藤等によって報告（Appl.Phys. Lett., Vol. 66, p. 863, (1995).）されているが、これがイオン注入活性化の高温アニール処理によっても生じることを本発明者らは見出した。

【0006】

本発明は、上記の課題を解決するためになされたもので、イオン注入活性化のためのアニール処理によるFET特性の劣化が少ない高性能なヘテロ接合FET及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明は、n型キャリア供給層やn型活性層のドー



ピング材料として従来用いられていた Si に代えて、Se または Te を用いるものである。Se や Te は、F 原子との結合エネルギーが大きく、Si の場合と違って容易に F 原子と複合体を形成しないため、これらの原子をドーピング不純物として用いることにより、高温アニール処理によっても、素子劣化の少ないヘテロ接合 FET を実現することが可能である。

## 【0008】

本発明の請求項 1 記載のヘテロ接合 FET は、半絶縁性基板上に複数の半導体層を形成した半導体層形成基板と、半導体層形成基板上に形成したゲート電極と、ゲート電極の両側の半導体層形成基板の所定領域に n 型半導体にするためのイオン注入と活性化のためのアニール処理とが施されたことにより形成された n 型ソース領域及びドレイン領域と、ソース領域とドレイン領域との間であって複数のうち所定の半導体層からなる活性層と、ソース領域とドレイン領域との間であって活性層の上側または上下両側の半導体層からなり活性層に電子を供給する n 型キャリア供給層とを備えたヘテロ接合 FET であって、少なくとも 1 つの n 型キャリア供給層となる半導体層は、セレン (Se) またはテルル (Te) がドーピングされていることを特徴とする。

## 【0009】

本発明の請求項 2 記載のヘテロ接合 FET は、請求項 1 記載のヘテロ接合 FET において、活性層となる半導体層が InGaAs 層であり、n 型キャリア供給層となる半導体層が AlGaAs 層であることを特徴とする。

## 【0010】

本発明の請求項 3 記載のヘテロ接合 FET は、請求項 1 記載のヘテロ接合 FET において、活性層となる半導体層が InGaAs 層であり、n 型キャリア供給層となる半導体層が InAlAs 層であることを特徴とする。

## 【0011】

本発明の請求項 4 記載のヘテロ接合 FET は、請求項 1 記載のヘテロ接合 FET において、活性層となる半導体層が GaAs 層であり、n 型キャリア供給層となる半導体層が AlGaAs 層であることを特徴とする。

## 【0012】

これらの請求項 1 ～ 4 の構成によれば、 $n$  型キャリア供給層において、従来用いられていた  $Si$  ドープに代えて、 $Se$  または  $Te$  ドープを用いることにより、ソース領域及びドレイン領域となるイオン注入領域を活性化させるためのアニール処理において、プロセスで付着した半導体層形成基板の表面に存在する  $F$  原子の拡散に対して、 $Si$  ドナーで見られる  $F$  原子との反応によるドナー不活性化が少なく、 $FET$  特性の劣化が少ない、高性能なヘテロ接合  $FET$  を実現することが可能である。

## 【 0 0 1 3 】

本発明の請求項 5 記載のヘテロ接合  $FET$  は、半絶縁性基板上に複数の半導体層を形成した半導体層形成基板と、半導体層形成基板上に形成したゲート電極と、ゲート電極の両側の半導体層形成基板の所定領域に  $n$  型半導体にするためのイオン注入と活性化のためのアニール処理とが施されたことにより形成された  $n$  型ソース領域及びドレイン領域と、ソース領域とドレイン領域との間であって複数のうち所定の半導体層からなる  $n$  型活性層とを備えたヘテロ接合  $FET$  であって、 $n$  型活性層となる半導体層は、セレン ( $Se$ ) またはテルル ( $Te$ ) がドーピングされていることを特徴とする。

## 【 0 0 1 4 】

本発明の請求項 6 記載のヘテロ接合  $FET$  は、請求項 5 記載のヘテロ接合  $FET$  において、 $n$  型活性層となる半導体層が  $InGaAs$  層、 $GaAs$  層及び  $InP$  層のうちのいずれかであることを特徴とする。

## 【 0 0 1 5 】

これらの請求項 5、6 の構成によれば、 $n$  型活性層において、従来用いられていた  $Si$  ドープに代えて、 $Se$  または  $Te$  ドープを用いることにより、ソース領域及びドレイン領域となるイオン注入領域を活性化させるためのアニール処理において、プロセスで付着した半導体層形成基板の表面に存在する  $F$  原子の拡散に対して、 $Si$  ドナーで見られる  $F$  原子との反応によるドナー不活性化が少なく、 $FET$  特性の劣化が少ない、高性能なヘテロ接合  $FET$  を実現することが可能である。

## 【 0 0 1 6 】

本発明の請求項 7 記載のヘテロ接合 F E T の製造方法は、半絶縁性基板上に、活性層となる半導体層と活性層に電子を供給する n 型キャリア供給層となる活性層の上側または上下両側の半導体層とを少なくとも含む複数の半導体層を有した半導体層形成基板を形成する工程と、半導体層形成基板上にゲート電極を形成する工程と、ゲート電極の両側の半導体層形成基板の所定領域に n 型半導体にするためのイオン注入を行いかつイオン注入領域の活性化のためのアニール処理を施すことにより n 型ソース領域及びドレイン領域を形成する工程とを含むヘテロ接合 F E T の製造方法であって、半導体層形成基板を形成する際、少なくとも 1 つの n 型キャリア供給層となる半導体層にセレン (S e) またはテルル (T e) をドーピングすることを特徴とする。

## 【 0 0 1 7 】

本発明の請求項 8 記載のヘテロ接合 F E T の製造方法は、請求項 7 記載のヘテロ接合 F E T の製造方法において、半導体層形成基板を形成する際、活性層となる半導体層として I n G a A s 層を形成し、n 型キャリア供給層となる半導体層として A l G a A s 層を形成することを特徴とする。

## 【 0 0 1 8 】

本発明の請求項 9 記載のヘテロ接合 F E T の製造方法は、請求項 7 記載のヘテロ接合 F E T の製造方法において、半導体層形成基板を形成する際、活性層となる半導体層として I n G a A s 層を形成し、n 型キャリア供給層となる半導体層として I n A l A s 層を形成することを特徴とする。

## 【 0 0 1 9 】

本発明の請求項 1 0 記載のヘテロ接合 F E T の製造方法は、請求項 7 記載のヘテロ接合 F E T の製造方法において、半導体層形成基板を形成する際、活性層となる半導体層として G a A s 層を形成し、n 型キャリア供給層となる半導体層として A l G a A s 層を形成することを特徴とする。

## 【 0 0 2 0 】

これらの請求項 7 ～ 1 0 の製造方法によれば、n 型キャリア供給層において、従来用いられていた S i ドープに代えて、S e または T e ドープを用いることにより、ソース領域及びドレイン領域となるイオン注入領域を活性化させるための

アニール処理において、プロセスで付着した半導体層形成基板の表面に存在する F 原子の拡散に対して、Si ドナーで見られる F 原子との反応によるドナー不活性化が少なく、FET 特性の劣化が少ない、高性能なヘテロ接合 FET を実現することが可能である。

## 【 0 0 2 1 】

本発明の請求項 1 1 記載のヘテロ接合 FET の製造方法は、半絶縁性基板上に n 型活性層となる半導体層を少なくとも含む複数の半導体層を有した半導体層形成基板を形成する工程と、半導体層形成基板上にゲート電極を形成する工程と、ゲート電極の両側の半導体層形成基板の所定領域に n 型半導体にするためのイオン注入を行いつイオン注入領域の活性化のためのアニール処理を施すことにより n 型ソース領域及びドレイン領域を形成する工程とを含むヘテロ接合電界効果型トランジスタの製造方法であって、半導体層形成基板を形成する際、n 型活性層となる半導体層にセレン (Se) またはテルル (Te) をドーピングすることを特徴とする。

## 【 0 0 2 2 】

本発明の請求項 1 2 記載のヘテロ接合 FET の製造方法は、請求項 1 1 記載のヘテロ接合 FET の製造方法において、半導体層形成基板を形成する際、n 型活性層となる半導体層として InGaAs 層、GaAs 層及び InP 層のうちのいずれかを形成することを特徴とする。

## 【 0 0 2 3 】

これらの請求項 1 1、1 2 の製造方法によれば、n 型活性層において、従来用いられていた Si ドープに代えて、Se または Te ドープを用いることにより、ソース領域及びドレイン領域となるイオン注入領域を活性化させるためのアニール処理において、プロセスで付着した半導体層形成基板の表面に存在する F 原子の拡散に対して、Si ドナーで見られる F 原子との反応によるドナー不活性化が少なく、FET 特性の劣化が少ない、高性能なヘテロ接合 FET を実現することが可能である。

## 【 0 0 2 4 】

本発明の請求項 1 3 記載のヘテロ接合 FET の製造方法は、請求項 7 ～ 1 2 の

うちいずれかに記載のヘテロ接合 F E T の製造方法において、n 型ソース領域及びドレイン領域を形成するときに行うアニール処理は、ランプアニールを用いて行うことを特徴とする。

【0 0 2 5】

この請求項 1 3 の製造方法によれば、ランプアニールを用いて高温、短時間でソース領域及びドレイン領域となるイオン注入領域の活性化を行える。

【0 0 2 6】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

【0 0 2 7】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態によるヘテロ接合 F E T の構造断面図を示したものである。同図において、半絶縁性 G a A s 基板 1 0 1 上に、アンドープ G a A s バッファ層 1 0 2、活性層となるアンドープ  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  層 1 0 3、スペーサーとなるアンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層 1 0 4、キャリア供給層となる Se ドープの n 型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層 1 0 5、アンドープ G a A s 層 1 0 6 が形成されている。1 0 7 及び 1 0 8 は、S i イオン注入領域からなる n<sup>+</sup> 型ソース及びドレイン領域、1 0 9 及び 1 1 0 は A u G e / N i 系からなるソース電極、ドレイン電極、1 1 1 は W S i / W からなるゲート電極である。

【0 0 2 8】

次に図 1 で示したヘテロ接合 F E T の作製方法の一例について説明する。図 2 (a) に示すように、半絶縁性 G a A s 基板 2 0 1 上に、MOCVD 法 (有機金属化学的気相成長法) を用いて、厚さ 1  $\mu\text{m}$  のアンドープ G a A s バッファ層 2 0 2、活性層となる厚さ 15 nm のアンドープ  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  層 2 0 3、スペーサーとなる厚さ 2 nm のアンドープ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層 2 0 4、キャリア供給層となる Se ドープ (キャリア濃度  $2 \times 10^{18} \text{cm}^{-3}$ 、厚さ 15 nm) の n 型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層 2 0 5、厚さ 5 nm のアンドープ G a A s 層 2 0 6 を、順次成長させ、エピタキシャル基板を形成する。

【0 0 2 9】

次に図2(b)に示すように、基板の前面にスパッタ法を用いてW Si/W (厚さ10nm/30nm)を形成した後、フォトリソマスクを用いてCF<sub>4</sub>/SF<sub>6</sub>混合ガスのドライエッチングを行い、所定の領域にFETのゲート電極211を形成する。

#### 【0030】

次に図3(a)に示すように、プラズマCVD法を用いて前面に厚さ200nmのプラズマSiN膜212を形成する。この際、ゲート電極211の側面には、厚さ150nmの同SiN膜212が形成される。

#### 【0031】

次に図3(b)に示すように、所定の領域にフォトリソマスク213を用いてSiイオンを加速電圧80keV、ドーズ量 $7 \times 10^{13} \text{ cm}^{-2}$ で、ゲート電極211に対して自己整合的に注入して、ソース領域207及びドレイン領域208を形成する。この注入条件では、Siイオンは、プラズマSiN膜212を通過してソース/ドレイン領域に注入されるが、ゲート側壁は基板表面には到達せず、ゲート電極211に対してその側壁に形成されたプラズマSiN膜212の膜厚分だけの間隔を離して注入されることになる。

#### 【0032】

次に図4(a)に示すように、フォトリソマスク213を除去した後、プラズマSiN膜212をアニール保護膜として、ランプアニールを用いて、N<sub>2</sub>雰囲気中、800℃、5秒間のアニールを行い、イオン注入領域を活性化させる。アニールの温度としては、700～850℃、時間としては2～15秒が適当である。この範囲をこえると、ヘテロ接合界面の劣化が大きくなる。また、この範囲を下回ると活性化が不十分になる。

#### 【0033】

次に図4(b)に示すように、フォトリソマスク(図示せず)を用いて、所定の領域のプラズマSiN膜212をCF<sub>4</sub>系のドライエッチングを用いて窓開け後、抵抗過熱蒸着装置を用いて、AuGe/Ni/Au(厚さ100nm/40nm/200nm)をリフトオフ法を用いて形成後、N<sub>2</sub>雰囲気中、400℃、60秒間シンターを行い、ソース電極209及びドレイン電極210を形成

して F E T を完成させる。

#### 【 0 0 3 4 】

図 5 は、ゲート長 ( $L_g$ ) が  $0.5 \mu m$ 、ゲート幅 ( $W_g$ ) が  $100 \mu m$  のサイズを持つヘテロ接合 F E T の伝達特性を、本実施の形態の F E T と n 型キャリア供給層が従来の S i ドーピングの場合とを比較したものである。ゲート電圧  $V_{gs}$  対ドレイン電流  $I_{ds}$  及び伝達コンダクタンス  $g_m$  との特性を示す。 $V_{th}$  は、ヘテロ接合 F E T のドレイン電流  $I_{ds}$  が零になるときのゲート電圧  $V_{gs}$  の閾値電圧 (スレッシュホールド電圧) を示している。同図より、本実施の形態の F E T の方が、閾値電圧  $V_{th}$  は低く、高い伝達コンダクタンス  $g_m$ 、高い飽和ドレイン電流 ( $I_{ds}$ ) が得られ、良好な特性が実現できていることがわかる。

#### 【 0 0 3 5 】

図 6 は、本実施の形態に用いたヘテロ接合エピタキシャル基板と、同様の構造でキャリア供給層の n 型  $Al_{0.2}Ga_{0.8}As$  層 105 (205) を S i ドーピングに変えた従来のヘテロ接合エピタキシャル基板のシートキャリア濃度 ( $N_s$ ) の、アニール温度依存性を比較したものである。なお、アニールには、ランプアニールを用い、アニール時間は 5 秒で一定とした。同図より、従来の S i ドーピングのエピタキシャル基板では、本実施の形態の S e ドーピングのエピタキシャル基板より、約  $500^\circ C$  以上のアニールで  $N_s$  は減少し始め、 $850^\circ C$  では約 60% になっていることがわかる。これは、プロセスでエピタキシャル基板表面に付着した F 原子がアニールによって基板内に拡散し S i 原子と複合体を形成し、S i ドナーを不活性化したからである。一方、S e は、F 原子と反応しにくく、高温アニールによる劣化は少ない。

#### 【 0 0 3 6 】

以上のように本実施の形態によれば、n 型キャリア供給層 (105) において、従来用いられていた S i ドープに代えて、S e ドープを用いることにより、ソース/ドレイン領域となるイオン注入領域を活性化させるためのアニール処理において、プロセスで付着したエピタキシャル基板の表面に存在する F 原子の拡散に対して、S i ドナーで見られる F 原子との反応によるドナー不活性化が少なく、F E T 特性の劣化が少ない、高性能なヘテロ接合 F E T を実現することが可能

である。

# 【0037】

## (第2の実施の形態)

図7は、本発明の第2の実施の形態によるヘテロ接合FETの構造断面図を示したものである。同図において、半絶縁性GaAs基板501上に、アンドープGaAsバッファ層502、活性層となるSeをドーピングしたn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層503、アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層504、アンドープGaAs層505が形成されている。506及び507は、Siイオン注入領域からなる $n^+$ 型ソース及びドレイン領域、508及び509はAuGe/Ni系からなるソース電極、ドレイン電極、510はWSi/Wからなるゲート電極である。

# 【0038】

本実施の形態の場合、第1の実施の形態とは、キャリア供給層がなく、活性層にSeがドーピングされた構造である点異なる。

# 【0039】

本実施の形態のヘテロ接合FETの作製方法は、エピタキシャル基板を形成するまでが第1の実施の形態の場合と異なり、エピタキシャル基板を形成後は第1の実施の形態と同様である。この第2の実施の形態では、半絶縁性GaAs基板501上に、MOCVD法（有機金属化学的気相成長法）を用いて、アンドープGaAsバッファ層502、活性層となるSeドーピングのn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層503、アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層504、アンドープGaAs層505を、順次成長させ、エピタキシャル基板を形成する。

# 【0040】

本実施の形態によれば、n型活性層（503）において、従来用いられていたSiドーピングに代えて、Seドーピングを用いることにより、ソース／ドレイン領域となるイオン注入領域を活性化させるためのアニール処理において、プロセスで付着したエピタキシャル基板の表面に存在するF原子の拡散に対して、Siドナーで見られるF原子との反応によるドナー不活性化が少なく、FET特性の劣化が少ない、高性能なヘテロ接合FETを実現することが可能である。

# 【0041】



## (第3の実施の形態)

図8は、本発明の第3の実施の形態によるヘテロ接合FETの構造断面図を示したものである。同図において、半絶縁性GaAs基板601上に、アンドープGaAsバッファ層602、活性層となるアンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層603、スペーサーとなるアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層604、キャリア供給層となるTeドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層605、アンドープGaAs層606が形成されている。607及び608は、Siイオン注入領域からなるn<sup>+</sup>型ソース及びドレイン領域、609及び610はAuGe/Ni系からなるソース電極、ドレイン電極、611はWSi/Wからなるゲート電極である。

## 【0042】

本実施の形態の構造は、図1で示した第1の実施の形態においてキャリア供給層となるSeドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層105をTeドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層605に置き換えた構造であり、TeもSeと同様でF原子との反応が起こりにくく、高温アニールに対してFET特性の劣化が少なく、同様の効果を得ることができる。

## 【0043】

本実施の形態における作製方法は、エピタキシャル基板形成の際に、第1の実施の形態のSeドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層105(205)に代えてTeドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層605を形成する以外は、第1の実施の形態の場合と同様である。

## 【0044】

また、第2の実施の形態において活性層となるSeをドープしたn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層503をTeをドープしたn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層に置き換えても、同様の効果があることはいうまでもない。この場合の作製方法は、エピタキシャル基板形成の際に、第2の実施の形態のSeドープのn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層503に代えてTeドープのn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を形成する以外は、第2の実施の形態の場合と同様である。

## 【0045】

## (第4の実施の形態)

図 9 は、本発明の第 4 の実施の形態によるヘテロ接合 F E T の構造断面図を示したものである。同図において、半絶縁性 I n P 基板 7 0 1 上に、アンドープ  $I n_{0.52} A l_{0.42} A s$  バッファ層 7 0 2、活性層となるアンドープ  $I n_{0.53} G a_{0.47} A s$  層 7 0 3、スペーサーとなるアンドープ  $I n_{0.52} A l_{0.48} A s$  層 7 0 4、キャリア供給層となる S e ドープの n 型  $I n_{0.52} A l_{0.48} A s$  層 7 0 5、アンドープ  $I n_{0.52} A l_{0.48} A s$  層 7 0 6 が形成されている。7 0 7 及び 7 0 8 は、S i イオン注入領域からなる  $n^+$  型ソース及びドレイン領域、7 0 9 及び 7 1 0 は A u G e / N i 系からなるソース電極、ドレイン電極、7 1 1 は W S i / W からなるゲート電極である。

## 【 0 0 4 6 】

この構造は、I n P 基板に格子整合するヘテロ系であり、本実施の形態では、キャリア供給層に S e をドープした n 型  $I n_{0.52} A l_{0.48} A s$  層 7 0 5 を用いているため、第 1 の実施の形態と同様の効果が得られる。この場合の作製方法は、エピタキシャル基板形成の際、半絶縁性 I n P 基板 7 0 1 上に、7 0 2 ~ 7 0 6 のエピタキシャル層を順次成長させてエピタキシャル基板とする以外は、第 1 の実施の形態と同様である。

## 【 0 0 4 7 】

なお、キャリア供給層となる S e をドープした n 型  $I n_{0.52} A l_{0.48} A s$  層 7 0 5 を、T e をドープした n 型  $I n_{0.52} A l_{0.48} A s$  層に置き換えても同様の効果が得られることはいうまでもない。

## 【 0 0 4 8 】

## (第 5 の実施の形態)

図 1 0 は、本発明の第 5 の実施の形態によるヘテロ接合 F E T の構造断面図を示したものである。同図において、半絶縁性 I n P 基板 8 0 1 上に、アンドープ  $I n_{0.52} A l_{0.42} A s$  バッファ層 8 0 2、活性層となる S e ドープの n 型  $I n_{0.53} G a_{0.47} A s$  層 8 0 3、アンドープ  $I n_{0.52} A l_{0.48} A s$  層 8 0 4 が形成されている。8 0 5 及び 8 0 6 は、S i イオン注入領域からなる  $n^+$  型ソース及びドレイン領域、8 0 7 及び 8 0 8 は A u G e / N i 系からなるソース電極、ドレイン電極、8 0 9 は W S i / W からなるゲート電極である。

## 【 0 0 4 9 】

この場合は、図 9 と同じヘテロ系で、第 4 の実施の形態とは、キャリア供給層がなく、活性層に Se がドーピングされた構造である点が異なる。本実施の形態では、活性層に Se をドーブした n 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層 8 0 3 を用いているため、第 1 の実施の形態と同様の効果が得られる。この場合の作製方法は、エピタキシャル基板形成の際、半絶縁性  $\text{InP}$  基板 8 0 1 上に、8 0 2 ~ 8 0 4 のエピタキシャル層を順次成長させてエピタキシャル基板とする以外は、第 1 の実施の形態と同様である。

## 【 0 0 5 0 】

なお、活性層となる Se をドーブした n 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層 8 0 3 を、Te をドーブした n 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層に置き換えても同様の効果が得られることはいうまでもない。

## 【 0 0 5 1 】

また、第 1 ~ 第 3 の実施の形態については、活性層として  $\text{GaAs}$  基板上的の  $\text{InGaAs}$  層を使う  $\text{AlGaAs}/\text{InGaAs}$  系のヘテロ接合、第 4 及び第 5 の実施の形態については、活性層として  $\text{InP}$  基板上的の  $\text{InGaAs}$  層を使う  $\text{InAlAs}/\text{InGaAs}$  系のヘテロ接合について説明したが、活性層として  $\text{GaAs}$  基板上的の  $\text{GaAs}$  層を使う  $\text{AlGaAs}/\text{GaAs}$  系のヘテロ接合、及び活性層として  $\text{InP}$  基板上的の  $\text{InP}$  層を使う  $\text{InGaAs}/\text{InP}$  系のヘテロ接合に対しても応用できることは、いうまでもない。

## 【 0 0 5 2 】

また、以上の説明では、n 型キャリア供給層を備えている構成の場合、n 型キャリア供給層を活性層の上側に設けた構造になっているが、活性層の両側に設けたダブルヘテロ構造についても、本発明を同様に適用できることはいうまでもない。この場合、活性層の両側に設けられた 2 つの n 型キャリア供給層のうちのどちらか 1 つを Se または Te がドーピングされたものとする事で本発明の効果をえられるが、両方を Se または Te がドーピングされたものとする方が得られる効果は大きい。

## 【 0 0 5 3 】

また、 $n^+$ 型ソース／ドレイン領域とゲート電極の間に中程度のキャリア濃度を持つ $n$ 型領域を形成したLDD(Lightly Doped Drain)構造に対しても適用できることはいうまでもない。

【0054】

また、ゲート電極構造、エピタキシャル基板の膜構造、膜組成等についても、適時、変更しても同様の効果があることはいうまでもない。

【0055】

【発明の効果】

以上説明したように、本発明によれば、AlGaAs／InGaAs系、InAlAs／InGaAs系及びAlGaAs／GaAs系のヘテロ接合エピタキシャル基板の $n$ 型キャリア供給層や、 $n$ 型活性層において、従来用いられていたSiドーパに代えて、SeまたはTeドーパを用いることにより、ソース及びドレイン領域となるイオン注入領域を活性化させるための高温アニール処理において、プロセスで付着したエピタキシャル基板の表面に存在するF原子の拡散に対して、Siドナーで見られるF原子との反応によるドナー不活性化が少なく、FET特性の劣化が少ない、高性能なヘテロ接合FETを実現することが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るヘテロ接合FETの構造断面図である。

【図2】

本発明の第1の実施の形態に係るヘテロ接合FETの製造方法を示す工程断面図である。

【図3】

本発明の第1の実施の形態に係るヘテロ接合FETの製造方法を示す工程断面図である。

【図4】

本発明の第1の実施の形態に係るヘテロ接合FETの製造方法を示す工程断面図である。

【図 5】

図 1 で示した本発明のヘテロ接合 F E T と従来のヘテロ接合 F E T の特性を比較した図である。

【図 6】

図 1 で示した本発明のヘテロ接合 F E T 用エピタキシャル基板と従来のヘテロ接合 F E T 用エピタキシャル基板のシートキャリア濃度のアニール温度依存性を比較した図である。

【図 7】

本発明の第 2 の実施の形態に係るヘテロ接合 F E T の構造断面図である。

【図 8】

本発明の第 3 の実施の形態に係るヘテロ接合 F E T の構造断面図である。

【図 9】

本発明の第 4 の実施の形態に係るヘテロ接合 F E T の構造断面図である。

【図 1 0】

本発明の第 5 の実施の形態に係るヘテロ接合 F E T の構造断面図である。

【符号の説明】

- 1 0 1 半絶縁性 G a A s 基板
- 1 0 2 アンダーブ G a A s バッファー層
- 1 0 3 アンダーブ  $I n_{0.2} G a_{0.8} A s$  活性層
- 1 0 4 アンダーブ  $A l_{0.2} G a_{0.8} A s$  スペース層
- 1 0 5 Se ドープ n 型  $A l_{0.2} G a_{0.8} A s$  キャリア供給層
- 1 0 6 アンダーブ G a A s 層
- 1 0 7  $n^{+}$  型イオン注入ソース領域
- 1 0 8  $n^{+}$  型イオン注入ドレイン領域
- 1 0 9 ソース電極
- 1 1 0 ドレイン電極
- 1 1 1 ゲート電極
- 2 0 1 半絶縁性 G a A s 基板
- 2 0 2 アンダーブ G a A s バッファー層

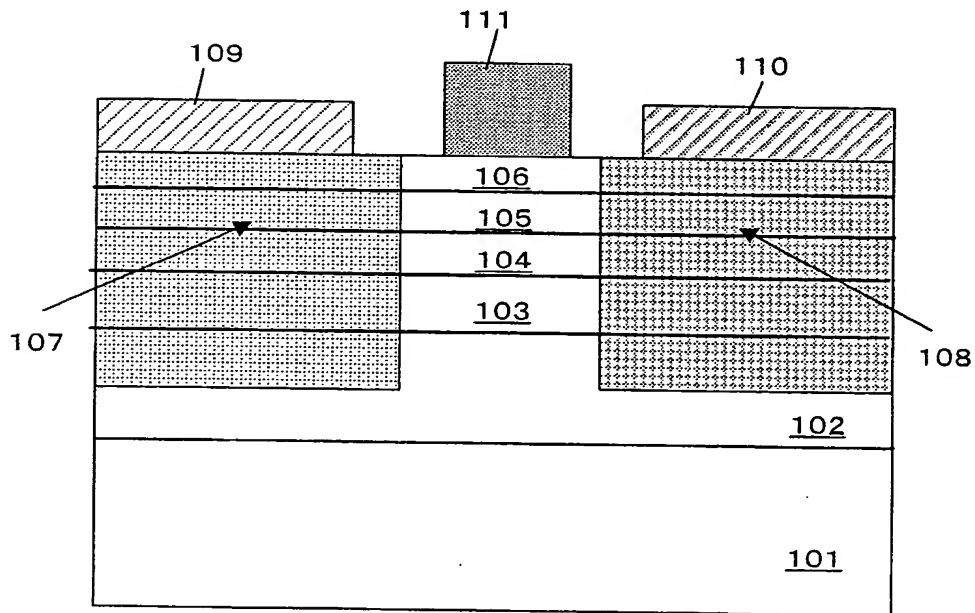
- 203 アンダーブ  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  活性層
- 204 アンダーブ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  スペーサー層
- 205 Seドープn型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  キャリア供給層
- 206 アンダーブ  $\text{GaAs}$  層
- 207 ソース領域
- 208 ドレイン領域
- 209 ソース電極
- 210 ドレイン電極
- 211 ゲート電極
- 212 プラズマ  $\text{SiN}$  膜
- 213 フォトレジストマスク
- 501 半絶縁性  $\text{GaAs}$  基板
- 502 アンダーブ  $\text{GaAs}$  バッファ層
- 503 Seをドープしたn型  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  活性層
- 504 アンダーブ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層
- 505 アンダーブ  $\text{GaAs}$  層
- 506  $n^+$ 型ソース領域
- 507  $n^+$ 型ドレイン領域
- 508 ソース電極
- 509 ドレイン電極
- 510 ゲート電極
- 601 半絶縁性  $\text{GaAs}$  基板
- 602 アンダーブ  $\text{GaAs}$  バッファ層
- 603 アンダーブ  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  活性層
- 604 アンダーブ  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  スペーサー層
- 605 Teドープのn型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  キャリア供給層
- 606 アンダーブ  $\text{GaAs}$  層
- 607  $n^+$ 型ソース領域
- 608  $n^+$ 型ドレイン領域

- 6 0 9 ソース電極
- 6 1 0 ドレイン電極
- 6 1 1 ゲート電極
- 7 0 1 半絶縁性 I n P 基板
- 7 0 2 アンドープ I n  $_{0.52}$  A l  $_{0.42}$  A s バッファ層
- 7 0 3 アンドープ I n  $_{0.53}$  G a  $_{0.47}$  A s 活性層
- 7 0 4 アンドープ I n  $_{0.52}$  A l  $_{0.48}$  A s スペーサー層
- 7 0 5 S e ドープの n 型 I n  $_{0.52}$  A l  $_{0.48}$  A s キャリア供給層
- 7 0 6 アンドープ I n  $_{0.52}$  A l  $_{0.48}$  A s 層
- 7 0 7  $n^+$  型ソース領域
- 7 0 8  $n^+$  型ドレイン領域
- 7 0 9 ソース電極
- 7 1 0 ドレイン電極
- 7 1 1 ゲート電極
- 8 0 1 半絶縁性 I n P 基板
- 8 0 2 アンドープ I n  $_{0.52}$  A l  $_{0.42}$  A s バッファ層
- 8 0 3 S e ドープの n 型 I n  $_{0.53}$  G a  $_{0.47}$  A s 活性層
- 8 0 4 アンドープ I n  $_{0.52}$  A l  $_{0.48}$  A s 層
- 8 0 5  $n^+$  型ソース領域
- 8 0 6  $n^+$  型ドレイン領域
- 8 0 7 ソース電極
- 8 0 8 ドレイン電極
- 8 0 9 ゲート電極

【書類名】

図面

【図 1】

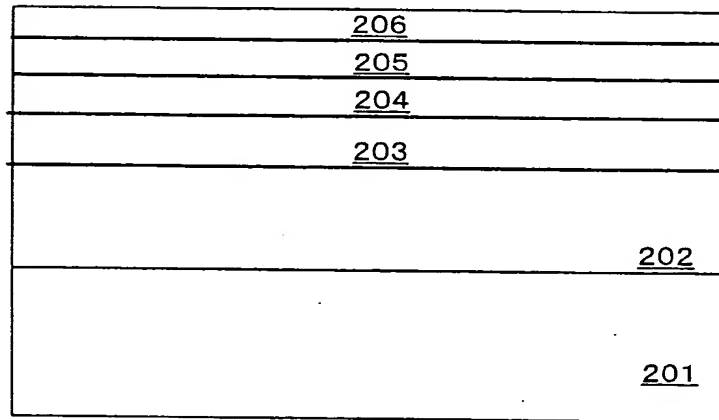


- 101 半絶縁性GaAs基板
- 102 アンダーブGaAs/バッファー層
- 103 アンダーブ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 活性層
- 104 アンダーブ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサー層
- 105 Seドーブn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ キャリア供給層
- 106 アンダーブGaAs層
- 107  $\text{n}^+$ 型イオン注入ソース領域
- 108  $\text{n}^+$ 型イオン注入ドレイン領域
- 109 ソース電極
- 110 ドレイン電極
- 111 ゲート電極

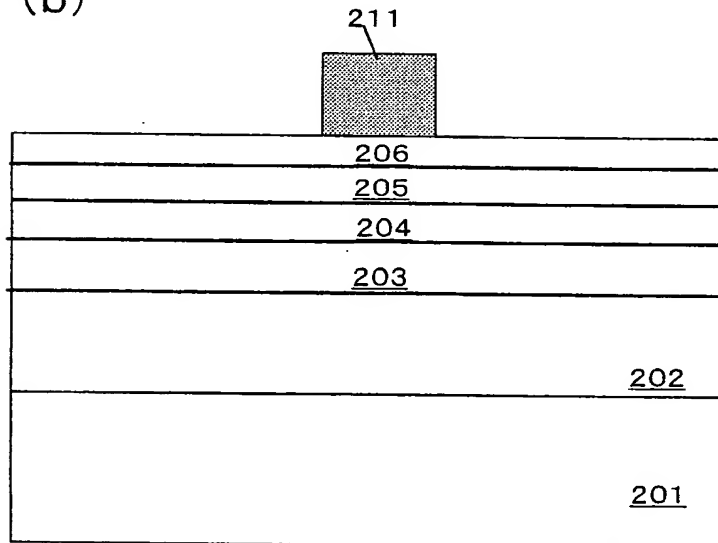


【図 2】

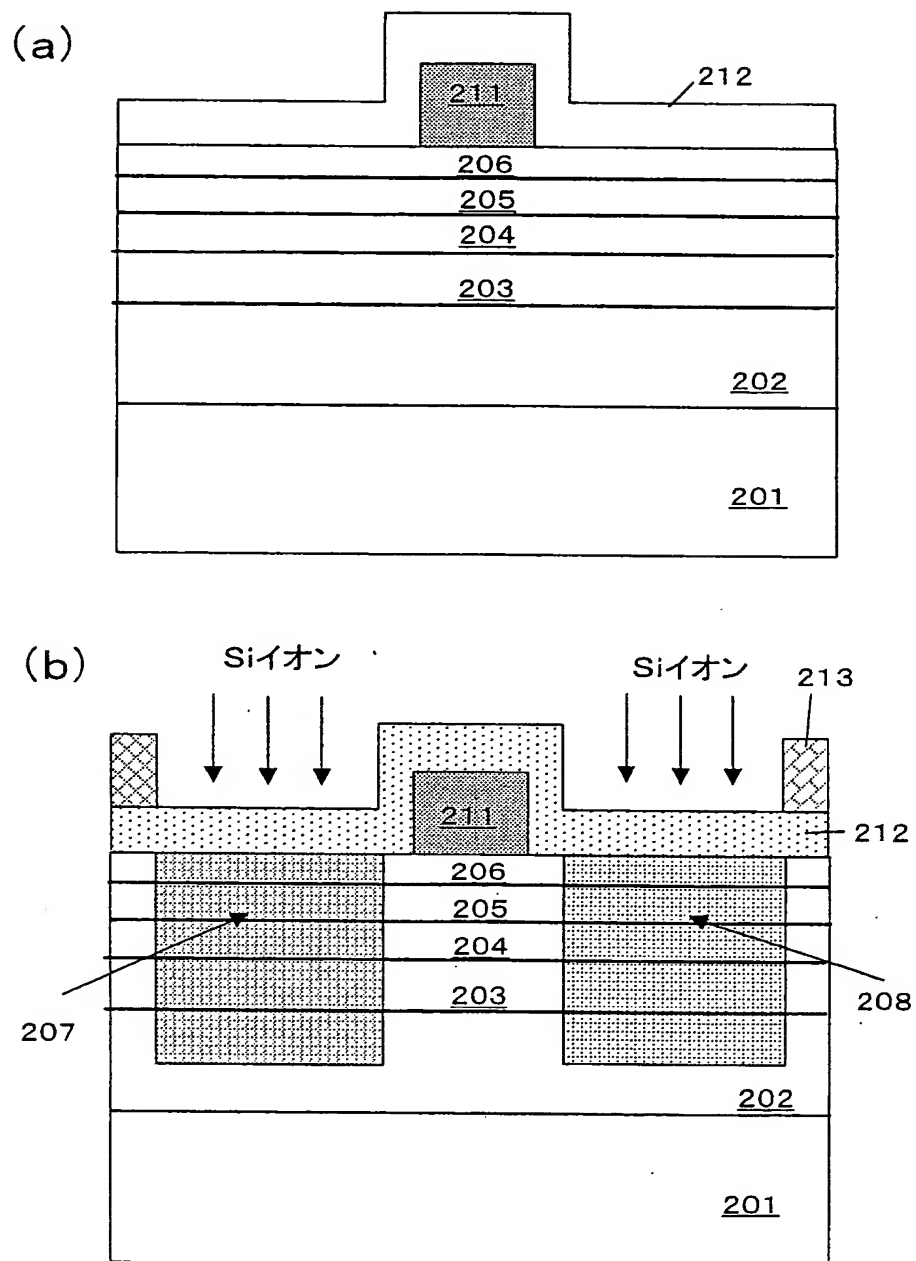
(a)



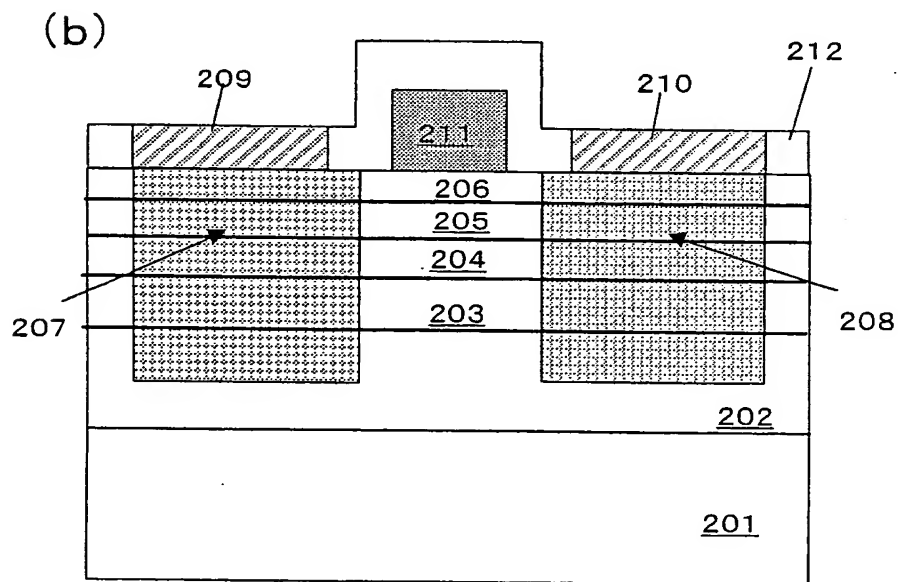
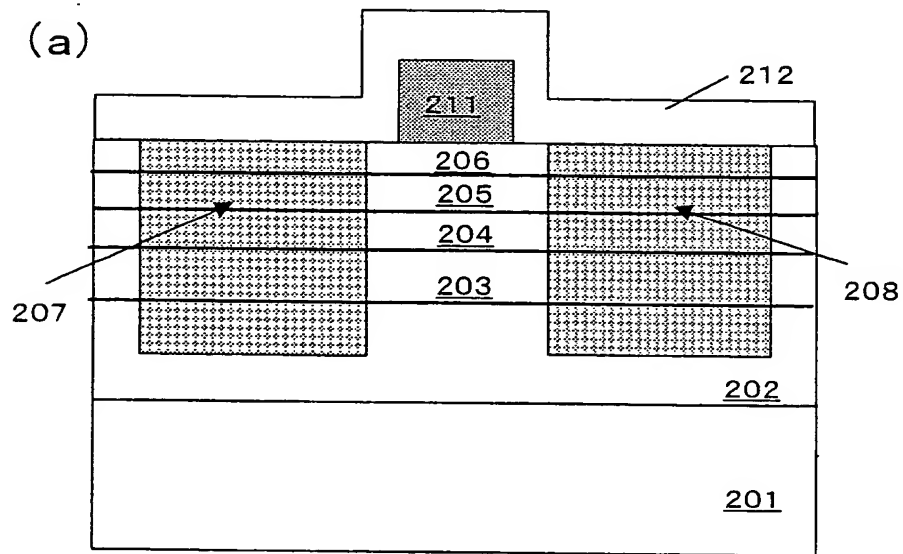
(b)



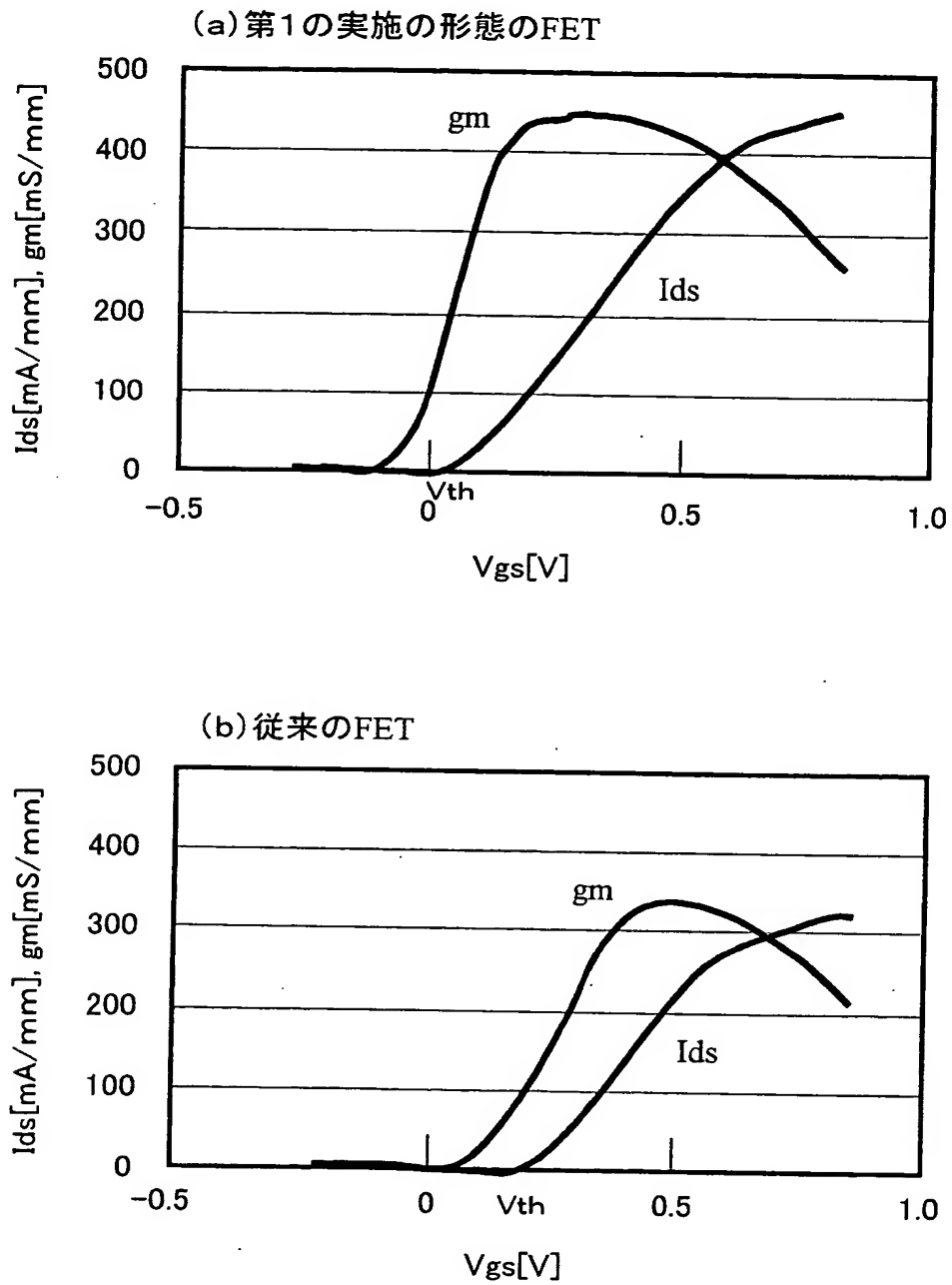
【圖 3】



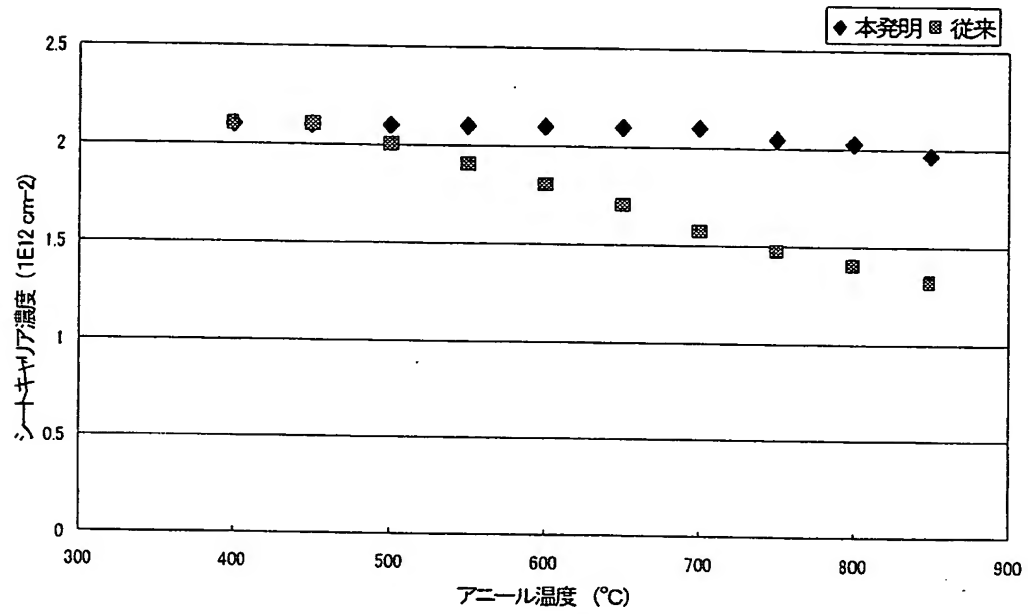
【図 4】



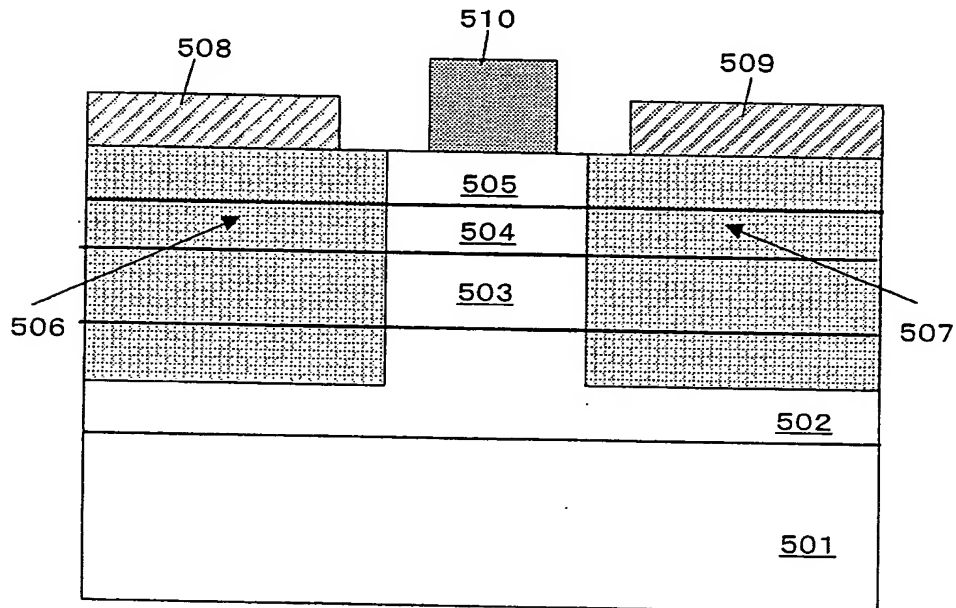
【図 5】



【図 6】

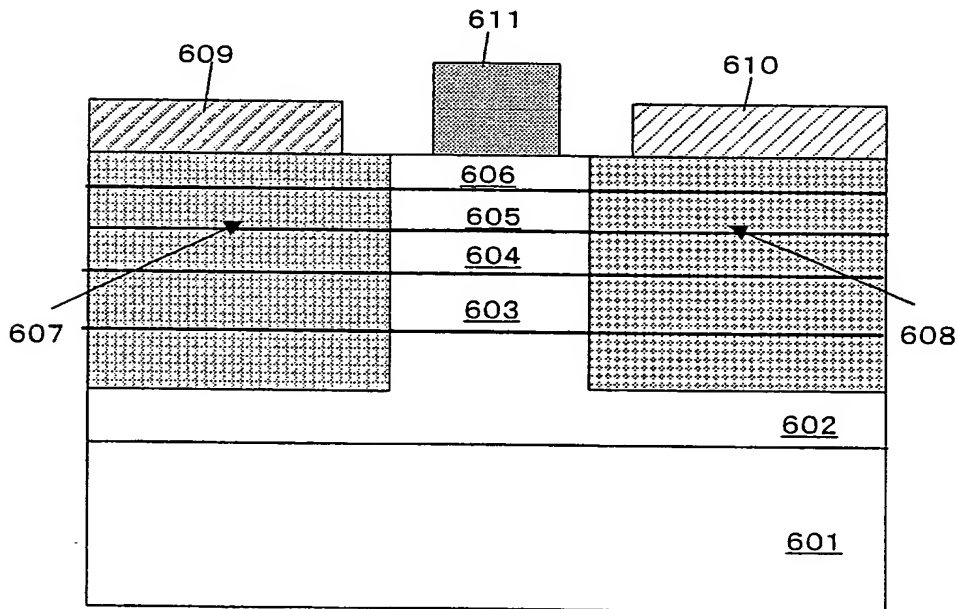


【図 7】



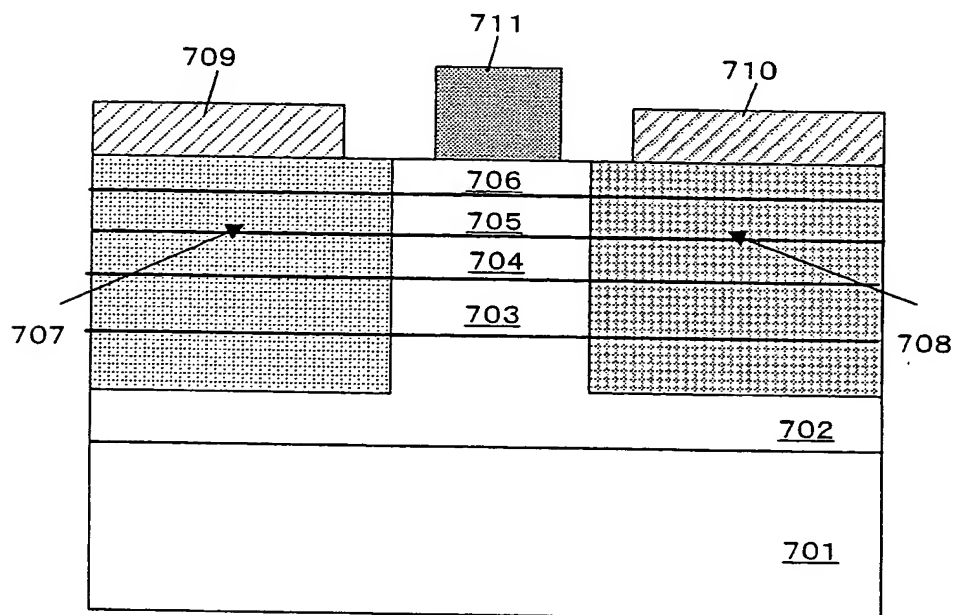
- 501 半絶縁性GaAs基板
- 502 アンドープGaAsバッファ層
- 503 Seをドーピングしたn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 活性層
- 504 アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層
- 505 アンドープGaAs層
- 506  $\text{n}^+$ 型ソース領域
- 507  $\text{n}^+$ 型ドレイン領域
- 508 ソース電極
- 509 ドレイン電極
- 510 ゲート電極

【図8】



- 601 半絶縁性GaAs基板
- 602 アンドープGaAsバッファ層
- 603 アンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 活性層
- 604 アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサー層
- 605 Teドープのn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ キャリア供給層
- 606 アンドープGaAs層
- 607  $n^+$ 型ソース領域
- 608  $n^+$ 型ドレイン領域
- 609 ソース電極
- 610 ドレイン電極
- 611 ゲート電極

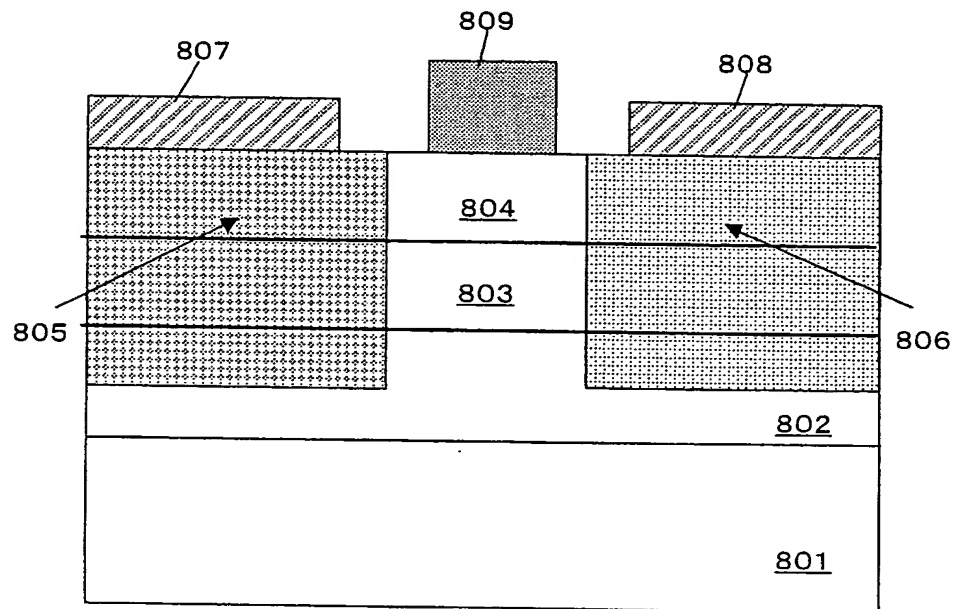
【図9】



- 701 半絶縁性InP基板
- 702 アンダーブIn<sub>0.52</sub>Al<sub>0.42</sub>Asバッファ層
- 703 アンダーブIn<sub>0.53</sub>Ga<sub>0.47</sub>As活性層
- 704 アンダーブIn<sub>0.52</sub>Al<sub>0.48</sub>Asスペーサー層
- 705 Seドーパのn型In<sub>0.52</sub>Al<sub>0.48</sub>Asキャリア供給層
- 706 アンダーブIn<sub>0.52</sub>Al<sub>0.48</sub>As層
- 707 n<sup>+</sup>型ソース領域
- 708 n<sup>+</sup>型ドレイン領域
- 709 ソース電極
- 710 ドレイン電極
- 711 ゲート電極



【図10】



- 801 半絶縁性InP基板
- 802 アンドープ $\text{In}_{0.52}\text{Al}_{0.42}\text{As}$ バッファ層
- 803 Seドープのn型 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 活性層
- 804 アンドープ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層
- 805  $n^+$ 型ソース領域
- 806  $n^+$ 型ドレイン領域
- 807 ソース電極
- 808 ドレイン電極
- 809 ゲート電極

【書類名】 要約書

【要約】

【課題】 ソース／ドレイン領域をイオン注入法で形成するヘテロ接合 F E T に  
おいて、注入活性化の高温アニール処理による特性の劣化の少ない高性能なヘテ  
ロ接合 F E T を実現する。

【解決手段】 n 型キャリア供給層となる n 型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層 1 0 5 に  
おいて、従来用いられていた S i ドープに代えて、S e ドープを用いることにより  
、ソース／ドレイン領域（1 0 7、1 0 8）となるイオン注入領域を活性化させ  
るためのアニール処理において、プロセスで付着したエピタキシャル基板の表面  
に存在する F 原子の拡散に対して、S i ドナーで見られる F 原子との反応による  
ドナー不活性化が少なく、F E T 特性の劣化が少ない、高性能なヘテロ接合 F E  
T を実現できる。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 3 0 9 6 9 2
受付番号	5 0 2 0 1 6 0 4 2 7 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成14年10月24日

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社